

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244239

(43)Date of publication of application : 02.09.1994

(51)Int.Cl. H01L 21/60
H01L 29/44

(21)Application number : 05-030606 (71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 19.02.1993 (72)Inventor : ISOBE YOSHIHIKO
OKAWA MAKOTO
IIDA MAKIO
ISHIHARA OSAMU

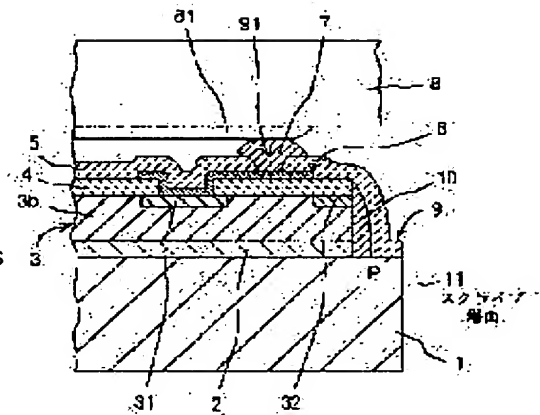
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide the SOI semiconductor device capable of impressing a semiconductor substrate with a potential from an element side surface.

CONSTITUTION: A semiconductor layer 3 is insulated from a semiconductor substrate 1 by an intermediate insulating film 2. A shortcircuit conductor 10 laid down on the side of a recession 9 reaching the semiconductor 1 makes a shortcircuit of the semiconductor substrate 1 and an ambient region 3b thereby impressing the semiconductor substrate 1 with the same potential as that of the ambient region 3. At this time, the ambient region 3b is impressed with a potential from a wiring substrate 8 e.g. through a bump 7 similar to an element formation region.

Accordingly, the semiconductor substrate 1 can be impressed with a specific potential even if the wiring substrate 8 is connected to a chip through the intermediary of the bump 7 by such a method as flip chip, TAB arc.



LEGAL STATUS

[Date of request for examination] 10.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-244239

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁵

H 0 1 L 21/60
29/44

識別記号

3 1 1 Q 6918-4M
C 7376-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号

特願平5-30606

(22)出願日

平成5年(1993)2月19日

(71)出願人 000004260

日本電装株式会社
愛知県刈谷市昭和町1丁目1番地

(72)発明者 磯部 良彦

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 大川 誠

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 飯田 眞喜男

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(74)代理人 弁理士 大川 宏

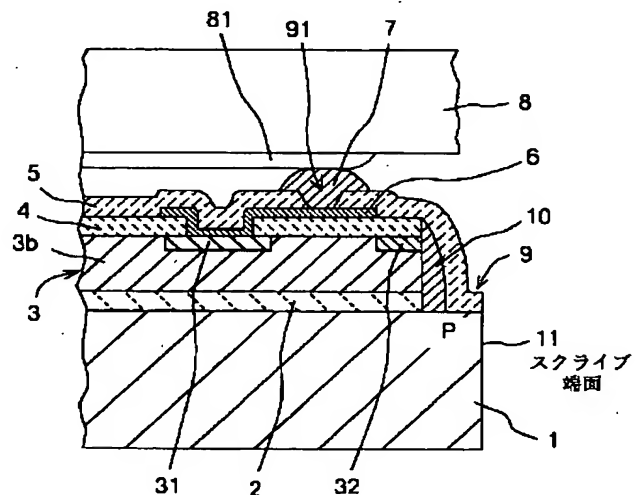
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】素子側表面から半導体基板に電位付与が可能な
S O I 半導体装置を提供する。

【構成】半導体層3は中間絶縁膜2により半導体基板1
から絶縁される。半導体基板1に達する凹部9の側面に
敷設された短絡導体10は半導体基板1と周辺領域部3
bとを短絡し、これにより半導体基板1には周辺領域部
3 bと同じ電位が付与される。周辺領域部3 bは素子形
成領域部と同様に例えばバンプ7を通じて配線基板8か
ら電位を付与される。したがって、フリップチップ、T
A Bなどの方法で配線基板8にバンプを介してチップを
接続する場合でも半導体基板1に一定電位を付与するこ
とができる。



【特許請求の範囲】

【請求項1】 半導体基板上に中間絶縁膜を介して半導体層を有し、前記半導体層は、前記半導体層の一部領域を絶縁分離して形成され素子形成用の素子形成領域部と、前記素子形成領域部以外の前記半導体層からなる周辺領域部とを備える半導体装置において、前記周辺領域部に穿設されて前記半導体基板に達する凹部と、前記凹部の側面に敷設されて前記周辺領域部及び前記半導体基板を短絡する短絡導体とを備えることを特徴とする半導体装置。

【請求項2】 前記凹部はスクライプ領域近傍に穿設され、前記凹部の側面はスクライプ端面の一部を構成する請求項1記載の半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、フリップチップ、TABなどの非ワイヤボンディング形式で実装されるSOI半導体装置に関し、特にその半導体基板電位固定技術に関する。

【0002】

【従来の技術】半導体基板上に中間絶縁膜を介して半導体層が配設されるSOI（シリコンオンインシュレータ）半導体装置は高耐圧用途に好適である。このSOI半導体装置は、一般の半導体装置と同様に、ワイヤボンディングによりリードに個別に接続されるのが通常であり、この場合には、半導体基板はリードと同時に打ち抜かれたアイランドと呼ばれる金属片上に導電性接着剤などで接着され、接地されることができる。

【0003】

【発明が解決しようとする課題】しかしながら、上記SOI半導体装置においても、多ピン化などに対応して、ワイヤボンディング以外のフリップチップやTABといった実装（コンタクト）方式の採用する場合、これら実装方式ではチップの上記半導体層と配線基板の導体配線とをバンプを介して接続するので、半導体基板への電位付与が困難となるという問題が生じた。

【0004】半導体基板が浮遊（フローティング）電位となると、例えば半導体基板の電位変動が素子の動作特にしきい値電位に影響を与え、素子の動作マージンが縮小してしまう。本発明は上記問題点に鑑みなされたものであり、素子側表面から半導体基板に電位付与が可能なSOI半導体装置を提供することを、その目的としている。

【0005】

【課題を解決するための手段】本発明の半導体装置は、半導体基板上に中間絶縁膜を介して半導体層を有し、前記半導体層は、前記半導体層の一部領域を絶縁分離して形成され素子形成用の素子形成領域部と、前記素子形成領域部以外の前記半導体層からなる周辺領域部とを備える半導体装置において、前記周辺領域部に穿設されて前

記半導体基板に達する凹部と、前記凹部の側面に敷設されて前記周辺領域部及び前記半導体基板を短絡する短絡導体とを備えることを特徴としている。

【0006】好適な態様において、前記凹部はスクライプ領域近傍に穿設され、前記凹部の側面はスクライプ端面の一部を構成する。

【0007】

【作用及び発明の効果】半導体層は中間絶縁膜により半導体基板から絶縁される。半導体層の各素子形成領域部は周辺領域部から電気的に絶縁されるとともに互いに電気的に絶縁されている。周辺領域部から半導体基板に達する凹部の側面に敷設された短絡導体は、半導体基板と周辺領域部とを短絡し、これにより半導体基板には周辺領域部と同じ電位が付与される。周辺領域部は素子形成領域部と同様に例えばバンプを通じて配線基板から電位付与される。

【0008】以上説明したように、本発明の半導体装置は、半導体層の周辺領域部から半導体基板に達する凹部の側面に敷設された短絡導体により、周辺領域部から半導体基板に電位付与することができ、その結果、フリップチップ、TAB、接着式などの方法で配線基板にバンプを介してチップを接続するだけで、半導体基板に一定電位を付与することができ、外部ノイズその他の影響により半導体基板の電位が変動して素子の耐ノイズマージンが縮小するのを防止することができる。

【0009】

【実施例】（実施例1）本発明を適用したSOI半導体装置のチップ平面図を図2に、そのフリップチップ実装部分断面図を図1に示す。この半導体装置は、P型シリコンからなる半導体基板1上に熱酸化シリコン酸化膜からなる中間絶縁膜2を挟んでN⁻型の半導体層3が張り合わせ手法により形成されており、いわゆるSOI半導体装置となっている。なお、図2ではチップのスクライプ端面11近傍が拡大図示されており、半導体層3として後述の周辺領域部3bが図示されている。周辺領域部3bの表面には、N⁺コンタクト領域31、32が形成されている。

【0010】4はフィールド酸化膜であり、5はパッシベーション用のプラズマ窒化シリコン膜であり、周縁部のフィールド酸化膜4上には接地電極ラインを構成するアルミ電極6がチップ全周に沿って敷設されている。また、アルミ電極6の所定位置に対して位置して両膜4、5をエッチングしてバンプ電極コンタクト用の開口91が形成され、アルミ電極6がN⁺コンタクト領域31にコンタクトされている。上記バンプ電極コンタクト用の開口91にはバンプ電極7が形成されており、バンプ電極7はアルミナ板からなる配線基板8の表面に印刷された接地電位ライン81に押接されている。

【0011】更にこの発明では、半導体基板1のスクライプ端面11に沿って、周辺領域部3bに凹溝（正確に

言えばスクライビングにより半割り凹溝となっている) 9が穿設されており、この凹溝9の底面は半導体基板1の表面に達している。そして凹溝9に面するフィールド酸化膜4、周辺領域部3b及び中間絶縁膜2の側面には、アルミ電極からなり半導体基板1の表面に達する短絡電極10が垂直に敷設され、短絡電極10は周辺領域部3bと半導体基板1とを短絡している。これにより、接地電位が印加されている接地電位ライン81は、周辺領域部3b、短絡電極10を通じて半導体基板1を接地電位に保つ。なお、図1において凹溝9の側面に露出して周辺領域部3bの表面部にドーパされたN⁺コンタクト領域32は、N⁺コンタクト領域31と同工程で形成されるものであり、短絡電極10の接触抵抗を低減するものである。

【0012】図1では、プラズマ窒化シリコン膜5は短絡電極10もパッシベーションしている。また、図2に示すように、チップの半導体層3には、周辺領域部3bから絶縁分離技術により電氣的に分離され、かつ、互いに絶縁分離技術により電氣的に分離された複数の素子形成領域部3aが形成されており、各素子形成領域部3aには各種トランジスタ又はダイオードの少なくとも一種が形成されている。

【0013】図3に図1の半導体装置の周辺領域部3bと素子形成領域部3aとの境界部断面を拡大図示する。21はトレンチ形成、ポリシリコン埋め込み技術により形成されて、素子形成領域部3aの全周を電氣的に分離する絶縁物分離領域であって、35はPMOSTランジスタのソース領域である。図3から、接地電位付与用のアルミ電極6は、定間隔で周辺領域部3bの表面に形成されたN⁺コンタクト領域(ただし、バンプ電極7は持たない)31aにコンタクトされて、接地抵抗が低減されている。

【0014】次に、このSOI半導体装置の製造方法を説明する。まず、図4に示すように、上記説明した半導体装置におけるパッシベーション用のプラズマ窒化シリコン膜5を形成する前までの段階を作製する。したがって、N⁺コンタクト領域31、31a、32、35は形成され、その他、各素子形成領域部3aの各導電型の半導体領域は形成されている。

【0015】この段階までの製造プロセスは周知のSOI半導体装置と同じであり、かつ、本実施例の要部ではないので説明を省略する。ただし、図4においてウエハーの周辺領域部3bには、スクライブ予定領域に位置してN⁺コンタクト領域32が形成されている。次に、図5に示すようにホトリソ法及び異方性エッチング(RIE)法によりスクライブ予定領域に沿ってスクライブ予定領域より広幅にフィールド酸化膜4、周辺領域部3b及び中間絶縁膜2を順次、で凹溝9を穿設する。その後、約1μm厚のアルミニウム層10aを形成する。

【0016】次に、図6に示すようにホトリソ法及び異

方性エッチング(RIE)法により凹溝9の側面を除いて、アルミニウム層10aを除去して、短絡電極10を形成する。この短絡電極10は周辺領域部3bの側面と半導体基板1の表面とを短絡する。次に、従来と同様のプロセスにて図1に示すようn⁺コンタクト領域31への開口を形成し、アルミ電極6を形成後、プラズマCVD法によりプラズマ窒化シリコン膜を形成し、開口91およびバンプ電極7を順次形成する。当然、バンプ電極7は図1に示すアルミ電極6だけではなく、各素子形成領域部3aのアルミコンタクト電極(図示せず)上にも形成される。

【0017】次に、図8に示すように、テスト後、スクライブ予定領域に沿ってウエハーをスクライブし、良品のチップを配線基板8の所定位置に配置し、圧接する。なお、図1では理解を助けるために配線基板8を上にして図示している。上記した各異方性エッチング、プラズマCVDのプロセス条件については当業者に周知のプロセスで形成できるので、説明は省略する。

【0018】以上説明した本実施例のSOI半導体装置では、フェースダウンボンディングを採用しているにもかかわらず、半導体基板1と周辺領域部3bとがスクライブ端面11に沿って凹溝9と、この凹溝9の側面に沿って垂直に形成され半導体基板1と周辺領域部3bとを短絡する短絡電極10とを有しているので、バンプ電極7により半導体基板1に給電することができ、半導体基板1の電位固定により、その電位変動を抑止し、この電位変動による素子の耐ノイズマージンの減少を防止することができる。

【0019】また、この実施例では短絡電極10をスクライブ領域上に設けているので、短絡電極10によりチップの素子配置可能面積が減少することがなく、かつ、素子配列レイアウトの邪魔となることが無い。なお、短絡電極10と半導体基板1との接触抵抗を低減するために、半導体基板1特にその表面部の不純物濃度を予め高濃度化することが好ましい。

【0020】更に上記説明では、フリップチップ接続を例としたが、バンプ電極7を用いるフェースダウンボンディングであれば、TAB形式や接着剤使用形式のSOI半導体装置チップにも適用できることは当然である。(実施例2)他の実施例を図8を参照して説明する。

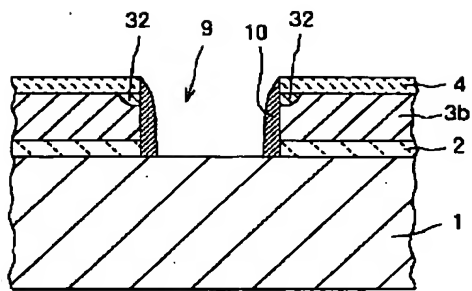
【0021】この実施例では、チップのスクライブ端面から離れたチップ中央部において、凹溝9aを穿設し、短絡電極10aを設けたものである。したがってこの実施例では、凹溝9aの全側面に短絡電極10が形成されることになる。また、短絡電極10は高濃度ポリシリコンとした。更に、半導体基板1と半導体層3の周辺領域部3bと短絡電極10とは同導電型とし、短絡電極10から半導体基板1へオートドーパによるN⁺コンタクト領域14を形成して、接触抵抗を低減している。

【0022】この実施例によれば、チップ中央部におけ

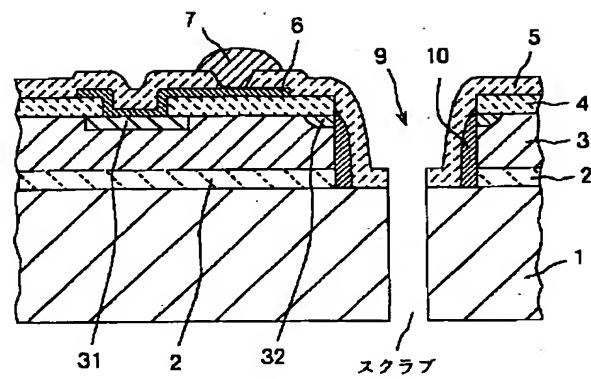
【図5】図1の装置の製造プロセスを示す断面図である。

1は半導体基板、2は中間絶縁膜、3は半導体層、3aは半導体層3の素子形成領域部、3bは半導体層3の周辺領域部、5はプラズマ窒化シリコン膜、6はアルミ電極、7はパンプ電極、8は配線基板、9は凹溝、10は短絡電極、11はスクライブ端面である。

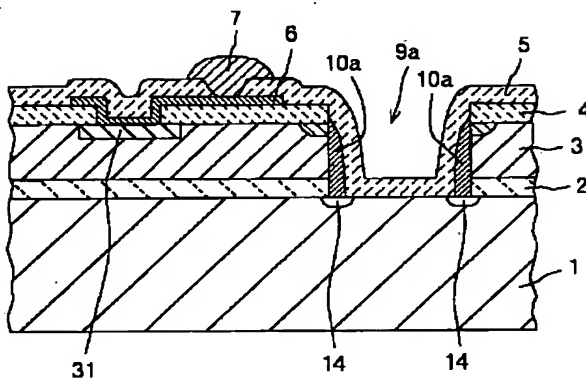
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 石原 治
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内